

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07050623 A**(43) Date of publication of application: **21.02.95**

(51) Int. Cl.

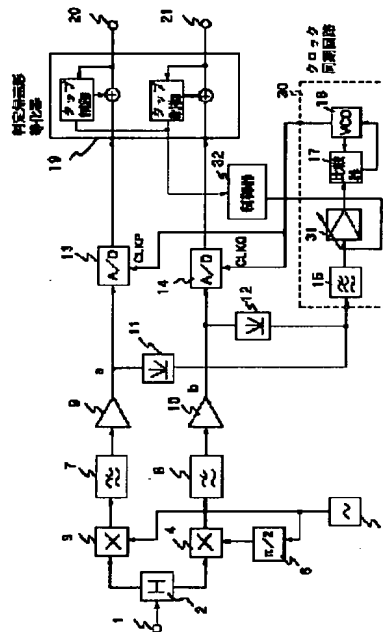
**H04B 7/005****H03H 17/00****H04L 27/38**(21) Application number: **05215286**(71) Applicant: **NEC CORP**(22) Date of filing: **05.08.93**(72) Inventor: **BABA SATOSHI**(54) **DEMODULATOR**

## (57) Abstract:

**PURPOSE:** To obtain a demodulator for preventing the degradation of the equalization characteristics of a decision feedback type equalizer by preventing step- out regardless of the presence/absence of fading relating to the demodulator provided with the decision feedback type equalizer suitable when it is used in a digital radio communication system.

**CONSTITUTION:** A phase comparator 17 compares the phases of the output clock frequency signals of a variable amplifier 31 and the output signals of a VCO 18, outputs an error voltage corresponding to the phase difference and variably controls the output signals of the VCO 18. The output signals of the VCO 18 are inputted to A/D converters 13 and 14 as sampling timing clocks and the decision feedback type equalizer 19 outputs data for which intra-code interference 15 removed. A controller 32 monitors the tap weighing coefficient of the decision feedback type equalizer 19 and controls the amplification degree of the variable amplifier 31 so as to the input voltage of the phase comparator 17 is a prescribed value at all times corresponding to the monitored value.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2570126号

(45)発行日 平成9年(1997)1月8日

(24)登録日 平成8年(1996)10月24日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 7/005			H 0 4 B 7/005	
H 0 3 H 17/00	6 0 1	8842-5 J	H 0 3 H 17/00	6 0 1 C
21/00		8842-5 J	21/00	
H 0 4 L 27/38			H 0 4 L 27/00	G

請求項の数4(全 7 頁)

(21)出願番号 特願平5-215286

(22)出願日 平成5年(1993)8月5日

(65)公開番号 特開平7-50623

(43)公開日 平成7年(1995)2月21日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 馬場 智

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 松浦 兼行

審査官 松尾 淳一

(56)参考文献 特開 平7-22988 (J P, A)

特開 平6-6396 (J P, A)

特公 平8-28753 (J P, B 2)

特許2518520 (J P, B 2)

(54)【発明の名称】 復調装置

1

(57)【特許請求の範囲】

【請求項1】 入力変調波を互いに位相が $\pi/2$ 異なる再生搬送波で別々に乗算して直交関係にある第1及び第2の復調ベースバンド信号を得る復調手段と、  
該第1及び第2の復調ベースバンド信号の一方又は両方からクロック信号成分を抽出する抽出手段と、  
該抽出手段により抽出されたクロック信号成分に同期した信号を発生してサンプリングタイミングクロックとして出力する同期回路と、  
前記第1及び第2の復調ベースバンド信号を前記サンプリングタイミングクロックに基づいて標準化及び量子化してディジタル信号を生成出力するA/D変換回路と、  
該A/D変換回路の出力ディジタル信号が入力され、符号間干渉を除去して出力する判定帰還形等化器とよりなる復調装置において、

10

2

前記抽出手段は前記第1及び第2の復調ベースバンド信号の少なくとも一方が入力される非線形回路と、該非線形回路の出力信号から前記クロック信号周波数を周波数選択するフィルタ回路と、該フィルタ回路の出力信号を増幅して前記同期回路へ出力する可変増幅器とより構成すると共に、  
前記判定帰還形等化器の制御系タップ重み付け係数をモニタし、該タップ重み付け係数に応じて該可変増幅器の増幅度を可変制御する制御器を有することを特徴とする復調装置。

【請求項2】 前記制御器は、前記タップ重み付け係数のうち予め定められた一つのタップ重み付け係数のみモニタし、そのタップ重み付け係数に応じて前記可変増幅器の増幅度を可変制御することを特徴とする請求項1記載の復調装置。

## 3

【請求項3】 前記制御器は、前記タップ重み付け係数のうち予め定められた2以上のタップ重み付け係数をモニタし、モニタしたタップ重み付け係数の合計値又は最大値に応じて前記可変増幅器の増幅度を可変制御することを特徴とする請求項1記載の復調装置。

【請求項4】 前記制御器は、前記タップ重み付け係数のうち予め定められた2以上のタップ重み付け係数をモニタし、モニタしたタップ重み付け係数の組み合わせ値に応じて前記可変増幅器の増幅度を可変制御することを特徴とする請求項1記載の復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は復調装置に係り、特にデジタル無線通信方式に使用して好適な、判定帰還形等化器を備える復調装置に関する。

【0002】

【従来の技術】図5は従来の復調装置の一例の構成図を示す。この従来の復調装置はデジタル無線通信装置にて一般的に使用されている復調器の出力に判定帰還形等化器を組み合わせたもので、判定帰還形等化器19の入力前までの復調器の構成は文献（例えば、桑原守二監修、「デジタルマイクロ波通信」、p. 111～114、（株）企画センター）により公知であり、また判定帰還形等化器19も従来より知られている（例えば、特開平4-264823号公報）。

【0003】図5において、入力端子1に入力された中間周波数（IF）帯の変調波は、分配器2で2分岐され、一方は掛算器3に入力されて発振器5よりの再生搬送波と乗算され、他方は掛算器4に入力されて $\pi/2$ 移相器6により $\pi/2$ 移相された上記再生搬送波と乗算される。

【0004】掛算器3、4の出力信号は低域フィルタ7、8で低周波数成分を濾波された後、増幅器9、10により規定レベルにそれぞれ増幅されてA/D変換器13、14に供給され、ここで標準化及び量子化されてデジタル信号として出力される。ここで、A/D変換器13、14のサンプリングタイミングは、増幅器9、10より取り出された復調ペーバンド信号a、bから非線形回路11、12を通してクロック同期回路①により抽出する。

【0005】ここで、上記の復調ペーバンド信号a、bは図6（A）に示す如き周波数スペクトラムを有しており、サンプリングタイミングのクロック周波数 $f_c$ の1/2倍の周波数成分しか含んでいない。そこで、上記の復調ペーバンド信号a、bは非線形回路11、12により2通倍されることにより、図6（B）に示す如くクロック周波数 $f_c$ を含む周波数スペクトラムの信号に変換される。

【0006】この非線形回路11、12の出力信号はそれぞれクロック周波数 $f_c$ を中心周波数とする帯域フィ

## 4

ルタ15を通して増幅器16により増幅されることにより、図6（C）に示す如くクロック周波数 $f_c$ 成分のみが抽出される。なお、図6（C）中、Iは帯域フィルタ15の出力クロック周波数 $f_c$ 成分、IIは増幅器16の出力クロック周波数 $f_c$ 成分を示す。

【0007】増幅器16の出力クロック周波数 $f_c$ 成分は位相比較器17に供給され、ここで電圧制御発振器（VCO）18の出力発振周波数 $f_{vco}$ と位相比較され、それらの位相差に応じた誤差電圧に変換された後、VCO18の出力発振周波数 $f_{vco}$ を可変制御する。この位相比較器17とVCO18とよりなる位相同期ループは、VCO18の出力発振周波数 $f_{vco}$ が位相比較器17の入力信号周波数 $f_c$ に等しくなるように動作する。

【0008】VCO18の出力発振周波数 $f_{vco}$ はA/D変換器13及び14に、サンプリングタイミングクロックCLKP、CLKQとして入力され、これにより増幅器9、10より取り出された復調ペーバンド信号a、bは、A/D変換器13、14により変調したときのサンプリングタイミングに同期したタイミングで復調される。

【0009】A/D変換器13、14の出力デジタル信号は、全デジタル処理形の判定帰還形等化器19にそれぞれ供給され、ここでタップ重み付け係数が加算されて符号間干渉を除去したデータとされた後出力端子20、21へそれぞれ別々に出力される。

【0010】図7は判定帰還形等化器19の等化特性（シグネチャカーブ）を示す。縦軸は振幅比 $\rho$ （＝反射波の振幅／主波の振幅）を示し、横軸は帯域中心周波数からのノッチの周波数のずれを示す。 $\rho = 1$ のとき最もノッチが深くなる。また、同図中、斜線部分が等化不可能領域である、この面積が小さいほど、判定帰還形等化器19の能力が高いことを示している。

【0011】図7において、帯域の両端 $\Delta f = \pm f_c / 2$  [Hz] 付近の周波数で、帯域中心周波数より劣化している原因は、後述するノッチによるクロック信号の1/2倍の周波数成分の低下による影響である。

【0012】

【発明が解決しようとする課題】しかるに、上記の従来の復調装置では、フェージングによるノッチ周波数が搬送波周波数 $f_0$ から $\pm f_c / 2$  [Hz] 離れた所でノッチの深さが深くなっていくに従い、変調波中のクロック信号の1/2倍の周波数成分レベルが低下していき、判定帰還形等化器19の等化可能な領域であるにもかかわらず、ベースバンド信号から抽出されるクロック信号レベルが低下することで位相比較器17で比較ができなくなり、同期外れが生じてしまうという問題がある。

【0013】この問題の対策としてクロック同期回路①内の増幅器16の増幅度を上げるか、又は増幅器16の代わりに自動利得増幅器（AGC増幅器）23を使用し

たクロック同期回路②を用いることにより、判定帰還形等化回路19の等化可能領域内でクロック信号成分のレベル低下による同期外れが発生しないようにする方法が考えられる。

【0014】しかし、前者のクロック同期回路④内の増幅器16の増幅度を上げる方法は、定常時（フェージング無し）あるいは浅いフェージング時に増幅器16から過大なクロック信号成分が出力されるために、復調器内の他回路への干渉による信号劣化、あるいはフェーディング有無による位相比較器入力レベル変化による位相比較動作点変化や増幅器16の出力飽和による位相変化が原因による信号劣化が問題となる。

【0015】また、後者のクロック同期回路②を用いる方法は、上記のレベル変化や位相変化による信号劣化はなくなるが、自動利得制御増幅器23の出力に検波器を追加し、かつ、制御を安定に行うために検波器入力レベルを大きくしておく必要があるために、上記増幅器23の出力信号レベルが従来より大きくなり、その結果、クロック信号成分出力が復調器内の他の回路への干渉を引き起こし、信号劣化が発生するという問題がある。

【0016】本発明は以上の点に鑑みなされたもので、クロック同期回路内の可変増幅器の増幅度を判定帰還形等化回路内のタップ重み付け係数のモニタの出力を基に制御することにより、上記の課題を解決した復調装置を提供することを目的とする。

#### 【0017】

【課題を解決するための手段】本発明は上記の目的を達成するため、復調手段により入力変調波から直交関係にある第1及び第2の復調ベースバンド信号を得、この第1及び第2の復調ベースバンド信号の一方又は両方から抽出手段によりクロック信号成分を抽出し、同期回路より出力される抽出クロック信号成分に同期したサンプリングタイミングクロックに基づいて、A/D変換回路により第1及び第2の復調ベースバンド信号を標本化及び量子化して得たデジタル信号を、符号間干渉を除去するための判定帰還形等化器に入力する復調装置において、抽出手段内に前記抽出クロック信号成分を増幅して前記同期回路へ出力する可変増幅器を設けると共に、制御器により判定帰還形等化器の制御系タップ重み付け係数をモニタし、タップ重み付け係数に応じて可変増幅器の増幅度を可変制御する構成としたものである。

#### 【0018】

【作用】本発明では、前記抽出クロック信号成分に同期したサンプリングタイミングクロックを発生する同期回路に、抽出クロック信号成分を増幅して入力する可変増幅器の増幅度を、制御器により判定帰還形等化器の制御系タップ重み付け係数に応じて可変制御するようにしたため、可変増幅器の増幅度をフェーディングの有無及びノッチ周波数やノッチの深さに対応した値に制御することができる。

【0019】また、上記の制御器は前記タップ重み付け係数のうち予め定められた一つのタップ重み付け係数のみモニタし、そのタップ重み付け係数に応じて可変増幅器の増幅度を可変制御しても良く、またタップ重み付け係数のうち予め定められた2以上のタップ重み付け係数をモニタし、モニタしたタップ重み付け係数の合計値若しくは最大値又は組み合わせ値に応じて前記可変増幅器の増幅度を可変制御する構成であっても良い。

#### 【0020】

10 【実施例】次に本発明の一実施例について説明する。図1は本発明の一実施例のブロック図を示す。同図中、図5と同一構成部分には同一符号を付し、その説明を省略する。図1において、クロック同期回路30内の位相比較器17の入力側に、電圧制御型の可変増幅器31が設けられている。また、制御器32は判定帰還形等化器19の制御系タップ重み付け係数のモニタ出力情報を基に可変増幅器31の増幅度を制御する。

20 【0021】クロック同期回路30は、非線形回路11、12の各出力信号の論理和信号が入力されて、クロック信号周波数 $f_c$ を中心周波数とする狭帯域の通過周波数特性を有する帯域フィルタ15と、この帯域フィルタ15の出力信号を増幅する可変増幅器31と、可変増幅器31の出力信号とVCO18の出力信号とを位相比較する位相比較器17とVCO18とよりなる。

30 【0022】次に、判定帰還形等化器19のタップ重み付け係数モニタ値と、選択性フェージングとの関係について説明する。定常時（フェーディング無し時）においては、波形劣化がないことから帯域フィルタ15から出力されるクロック信号成分のレベルは最大値が得られ、かつ、判定帰還形等化器19から出力されるタップ重み付け係数モニタ値は全タップオール0を出力する。

40 【0023】これに対し、選択性フェージング発生時は、ノッチの周波数及びノッチの深さにより各タップの係数モニタ値が異なる。図2はこの判定帰還形等化器19のタップ重み付け係数モニタ値出力の一例を示す。ここでは、判定帰還形等化器19の後タップを4タップ、ノッチ周波数を $f_0 - (f_c/2)$ 、 $f_0$ 、 $f_0 + (f_c/2)$ とし（ただし、 $f_0$ は搬送波周波数）、深いノッチを与えた時の各タップの重み付け係数のモニタ出力値を示したものである。

【0024】すなわち、図2中、実線IIIはノッチ周波数が $f_0 - (f_c/2)$ の時のタップ重み付け係数、点線IVはノッチ周波数が $f_0$ のときのタップ重み付け係数、破線Vはノッチ周波数が $f_0 + (f_c/2)$ の時のタップ重み付け係数を示す。また、ノッチの深さは30dBである。

50 【0025】さらに、「同相」はそのチャンネル（Pチャンネル又はQチャンネル）自身の波形劣化時のタップ重み付け係数を示し、「直交」はそのチャンネル以外の他チャンネルからの干渉による波形劣化時のタップ重み

付け係数を示す。また、直接波に対する反射波の時間遅れを6.3nsとしてある。

【0026】制御器32は上記のタップ重み付け係数をモニタし、タップ重み付け係数の絶対値に対応した制御電圧を生成して、可変増幅器31の増幅度を制御する。この制御器32の可変増幅器31の増幅度制御方法としては、例えば①予め定められた一つのタップ重み付け係数だけをモニタし、そのモニタ値に応じて制御する方法、②予め定められた複数又は全部のタップ重み付け係数をモニタし、そのモニタ値の合計値に応じて制御する方法、③予め定められた複数又は全部のタップ重み付け係数をモニタし、そのモニタ値の最大値に応じて制御する方法、④予め定められた複数又は全部のタップ重み付け係数をモニタし、そのモニタ値の所定の組み合わせ値に応じて制御する方法などがある。

【0027】いずれの方法にしても、制御器32は可変増幅器31の増幅度を、タップ重み付け係数のモニタ値のうちの所定の一つのタップの値、最大値、合計値、又は組み合わせ値の絶対値に大略比例した値に制御することにより、フェージングの有無にかかわらず、位相比較器17の入力レベルを規定値に保つことができ、判定帰還形等化器19のタップ重み付け係数がすべて0になるように制御される。

【0028】次に、ノッチ周波数が $f_0 - (f_c/2)$ に生じた時の図1に示す本実施例の動作について、図3の周波数スペクトラムを併せ参照して説明する。いま、図1の入力端子1に図3(A)に示す如く、搬送波周波数 $f_0$ よりもクロック信号周波数 $f_c$ の $1/2$ 倍の周波数低い位置にノッチ周波数が生じている変調波が入力されたものとする、この変調波は分配器2により2分岐され、掛算器3、4で互いに $\pi/2$ 位相が異なる再生搬送波 $f_0$ と乗算された後、低域フィルタ7、8を通して増幅器9、10により規定レベルに増幅される。

【0029】これにより、増幅器9、10より図3(B)に示す如き周波数スペクトラムの復調ベースバンド信号a、bが取り出される。この復調ベースバンド信号a、bは図3(B)に示すように、 $f_c/2$ 近傍の周波数成分が前記ノッチ周波数によって低下している。従って、この復調ベースバンド信号a、bを2通倍する非線形回路11、12の出力信号も、図3(C)に示す如く、 $f_c/2$ 近傍の周波数成分と $f_c$ 近傍の周波数成分とがそれぞれ低下する。

【0030】この非線形回路11、12の出力信号は、論理和加算された後クロック同期回路30内の帯域フィルタ15によりクロック周波数成分を濾波される。しかし、図3(C)に示したように、非線形回路11、12の出力信号は、 $f_c$ 近傍の周波数成分が低下しているために、帯域フィルタ15の出力クロック周波数成分も図3(D)に実線VIで示すように、同図(D)に破線VIIで示す本来の定常時のクロック周波数成分に比し、

レベルが低下したものとなる。

【0031】このとき、判定帰還形等化器19のタップ重み付け係数は図2に実線IIIで示した係数値を示している。制御器32はこのタップ重み付け係数をモニタし、このモニタ値に基づいて可変増幅器31の増幅度を大なる値に制御する。これにより、帯域フィルタ15の出力クロック周波数成分は可変増幅器31により上記の大なる制御増幅度で増幅されることにより、図3(E)に実線VIIIで示すように、同図(E)に破線IXで示す定常時のレベルとほぼ同レベルになるようにされて取り出され、位相比較器17に入力される。

【0032】ノッチ周波数が上記以外の周波数の場合も、上記と同様の動作が行われ、位相比較器17には定常時とほぼ同レベルのクロック周波数成分が入力される。このように、本実施例によれば、フェーディングの有無に拘らず、位相比較器17の入力レベルをほぼ規定値に保つことができるため、安定した位相比較ができると共に他回路への干渉を抑えることができ、かつ、深い選択性フェーディング時においても判定帰還形等化器19の等化能力をクロック同期外れの影響を受けずに得ることができる。

【0033】この結果、本実施例によれば、図4に示すような等化特性が得られる。本実施例の等化特性は、帯域の両端 $\pm f_c/2$  [Hz] 付近の周波数でも、帯域中心周波数と同程度の振幅比 $\rho$ を示し、従来装置の等化特性(図7)に比し帯域の両端 $\pm f_c/2$  [Hz] 付近の周波数での等化能力の劣化がなくなる。すなわち、本実施例によれば、従来よりも等化不可能領域(図の斜線部の面積)が小さくなる。

【0034】なお、本発明は上記の実施例に限定されるものではなく、例えば非線形回路11及び12の出力信号のいずれか一方のみを帯域フィルタ15に入力するようにしてもよい。

【0035】

【発明の効果】以上説明したように、本発明によれば、クロック同期回路内の位相比較器の入力側に設けられた可変増幅器の増幅度をフェーディングの有無及びノッチ周波数やノッチの深さに対応した値に制御することができるため、フェーディングの有無や大小及びノッチ周波数にかかわらず、位相比較ができる所要のレベルをクロック周波数成分として上記位相比較器に入力することができ、従ってフェーディング無し(定常時)や浅いフェーディングにおける他回路への干渉による信号劣化を防止することができると共に、選択性フェーディング時における判定帰還形等化器の等化能力をクロック同期外れによる特性の劣化なく十分に発揮することができるものである。

【0036】また、本発明によれば、上記可変増幅器の増幅度を制御する制御器が、判定帰還形等化器のタップ重み付け係数のうち予め定められた一つのタップ重み付

け係数のみモニタし、そのモニタ値に基づいて上記増幅度を制御することにより、制御器を簡単な構成とすることができる。また、複数の又はすべてのタップ重み付け係数をモニタし、それらのモニタ値の合計値に基づいて上記増幅度を制御するようにした場合は、あらゆるモードのフェーディングに対応することができる。

【0037】更に、上記の複数の又はすべてのタップ重み付け係数をモニタし、それらのモニタ値の最大値に基づいて上記増幅度を制御するようにした場合は、あらゆるモードのフェーディングに対応できると共に、合計値の演算が不要な分だけ制御器の構成を簡略化することができる。更に、上記の複数の又はすべてのタップ重み付け係数をモニタし、それらのモニタ値の組み合わせ値に基づいて上記増幅度を制御するようにした場合は、センターノッチ時は制御せず、 $f_0 \pm (f_c / 2)$  のノッチ時のみ制御するなどのきめ細かな制御ができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】判定帰還形等化器のタップ重み付け係数のモニタ出力の一例を示す図である。

【図3】本発明の一実施例の動作説明用周波数スペクト

ラム図である。

【図4】本発明の一実施例における判定形帰還等化器の等化特性を示す図である。

【図5】従来の一例のブロック図である。

【図6】従来の一例の動作説明用周波数スペクトラム図である。

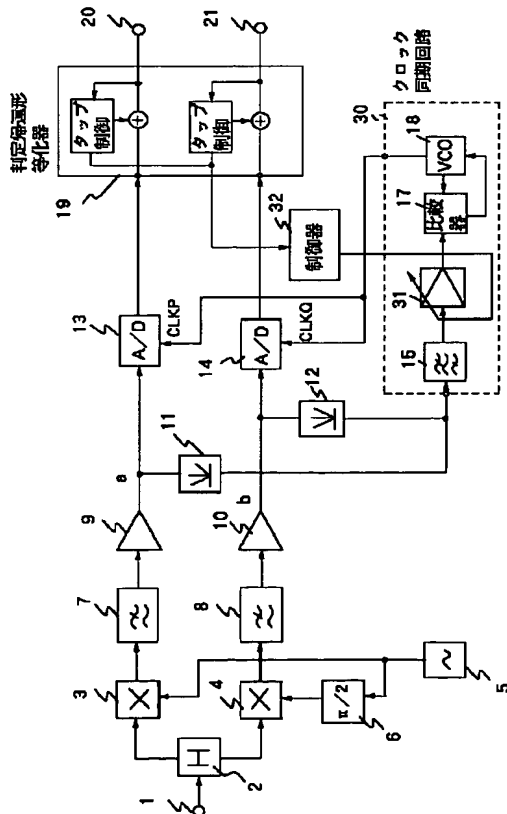
【図7】従来の一例における判定形帰還等化器の等化特性を示す図である。

【符号の説明】

- 10 3、4 掛算器
- 5 再生搬送波発振器
- 6  $\pi/2$  移相器
- 11、12 非線形回路
- 13、14 A/D変換器
- 15 帯域フィルタ
- 17 位相比較器
- 18 電圧制御発振器(VCO)
- 19 判定帰還形等化器
- 20 30 クロック同期回路
- 31 可変増幅器
- 32 制御器

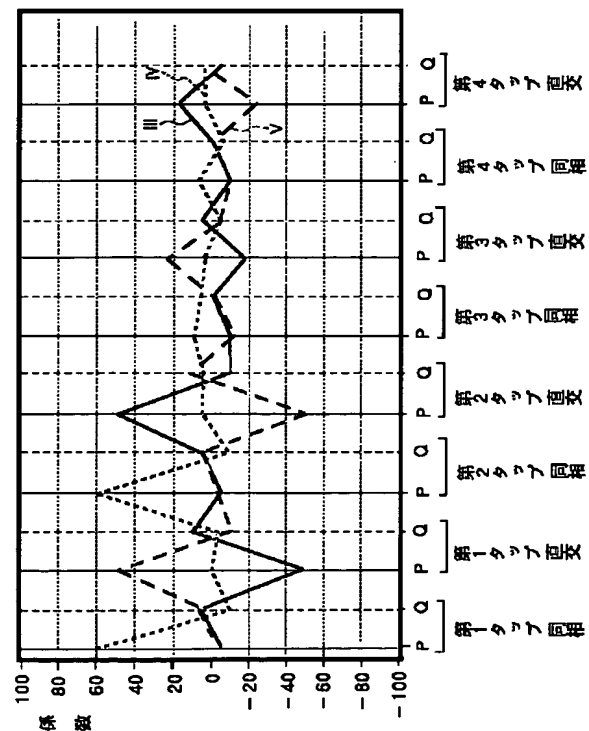
【図1】

本発明の一実施例のブロック図

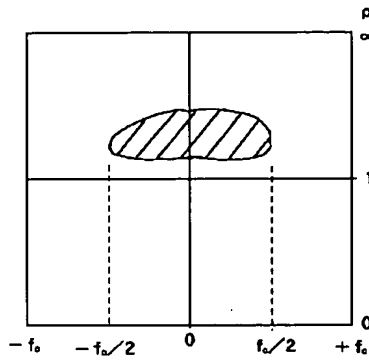


【図2】

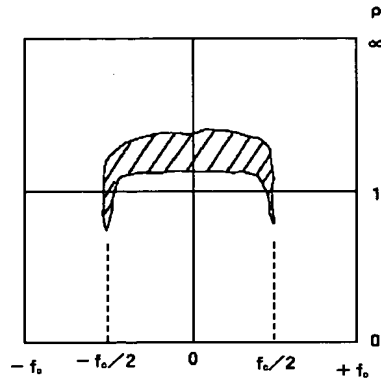
判定形帰還等化器のタップ重み付け係数モニタ出力の一例



【図 4】

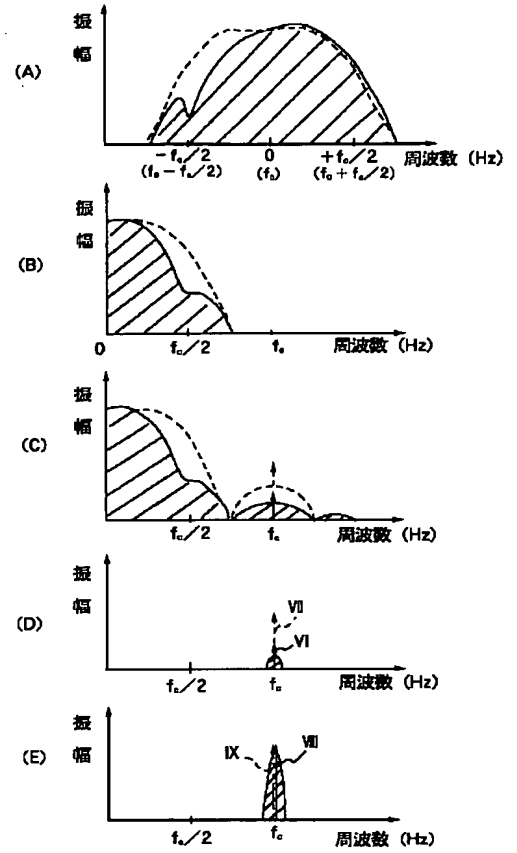


【図 7】



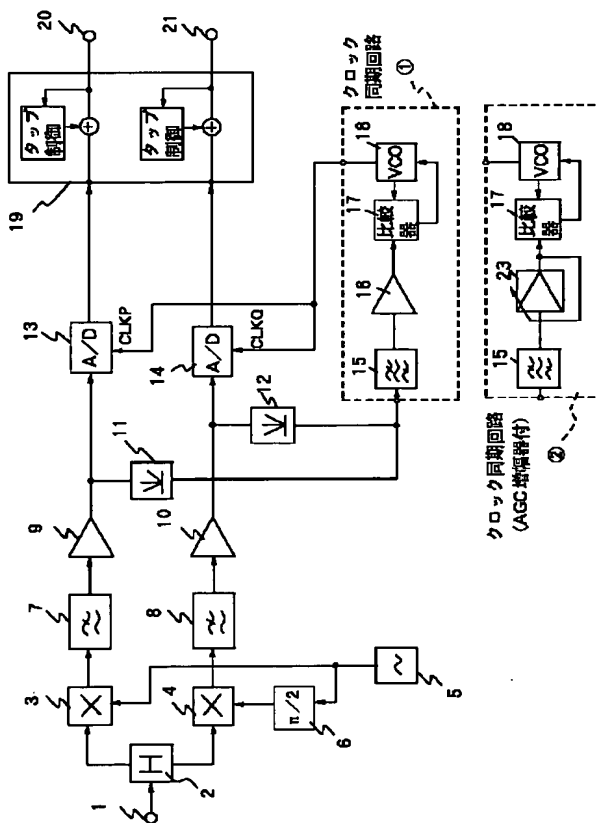
【図 3】

本発明の一実施例の動作説明用周波数スペクトラム図



【図 5】

従来の一例のブロック図



【図 6】

従来の一例の動作説明用周波数スペクトラム図

